

【국내공개특허공보 제1999-84959호(1999.12.06) 1부.】

특1999-0084959

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
H01L 21/28(11) 공개번호 특1999-0084959
(43) 공개일자 1999년12월06일

(21) 출원번호 10-1998-0017035

(22) 출원일자 1998년05월12일

(71) 출원인 삼성전자 주식회사 윤종용

경기도 수원시 팔달구 매탄3동 416

(72) 발명자 엄계희

경기도 수원시 팔달구 원천동 원천주공아파트 104동 812호

이규필

경기도 성남시 분당구 서현동 308번지 호자촌럭키아파트 606동 501호

(74) 대리인 임향현

심사원구 : 외출

(54) 도면 형성 방법

요약

여기에 개시되는 반도체 장치의 제조 방법에 의하면 비트 라인 및 스토리지 전극을 반도체 기판에 각각 연결하는 적절 콘택 및 패딩 콘택을 도전 패드가 2 번으로 나뉘 1차 패드와 2차 패드로 형성된다. 1차 패드 및 2차 패드는 RAT-SAC, CT-SAC, 에피택셜 성장 공정을 조합한 방법에 의해서 형성된다. 이로써, RAT-SAC, CT-SAC, 에피택셜 성장 공정 중 어느 하나만을 이용하여 자기 정렬 콘택 홀을 형성할 때 야기되는 문제점을 즉, 게이트 전극의 모서리 부분이 과식각 되어서 패드와 게이트가 전기적으로 서로 연결되는 것, 패드 크기가 게이트 전극을 사이의 간격으로 제한되는 것, 패드와 반도체 기판이 전기적으로 연결되지 않는 것, BC들 간의 마진 부족으로 인한 전기적인 연결, 등이 방지될 수 있다.

도면도

도3f

평면도

도면의 간단한 설명

도 1a는 RAT-SAC 공정을 이용하여 형성된 자기 정렬 콘택 홀을 가지는 DRAM 장치의 셀 어레이 레이아웃을 보여주는 평면도;

도 1b는 도 1a에서 1-1'을 따라 절단한 단면도;

도 2a는 CT-SAC 공정을 이용하여 형성된 자기 정렬 콘택 홀을 가지는 DRAM 장치의 셀 어레이를 보여주는 평면도;

도 2b는 도 2a에서 2-2'을 따라 절단한 단면도;

도 3a 내지 도 3g는 본 발명의 바람직한 제 1 실시예에 따른 패드 형성 방법을 설명하기 위한 단면도들;

도 4a 내지 도 4e는 본 발명의 바람직한 제 2 실시예에 따른 패드 형성 방법을 설명하기 위한 단면도들;

도 5는 본 발명의 바람직한 제 3 실시예에 따른 패드의 구조를 보여주는 단면도; 그리고

도 6는 본 발명의 바람직한 제 4 실시예에 따른 패드의 구조를 보여주는 단면도이다.

*도면의 주요 부분에 대한 부호 설명

100 : 반도체 기판 128, 221, 302, 402 : 1차 패드

136, 230, 304, 404 : 2차 패드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로서, 구체적으로는 디램 장치의 비트 라인/스토리지 전

국 1999-0084959

극용 도전 패드를 형성하는 방법에 관한 것이다.

반도체 장치물의 미세화 및 고집적화가 역동적으로 추진되어 왔고 256 메가비트의 설계 표준에 따라 설계된 또는 0.25 μ m의 크기 표준 상에서 더 작게 설계된 가가 비트 다이내믹 랜덤 액세스 메모리 (DRAM)와 같은 초고집적 반도체 장치가 현재 시도의 수단으로써 개발되고 제조되고 있다. 반도체 장치의 고집적화에 따라, 반도체 소자 구조를 형성하는데 필수적인 리소그래피 공정 (lithography process)의 마스크 정렬 오차 (mask alignment margin)를 더 줄이거나 그러한 마진을 요구하지 않게 하는 것이 더욱 강력하게 요구되고 있다.

정상적으로, 반도체 장치가 제조될 때, 금속막, 반도체막 및 절연막과 같은 여러가지 층들로 형성되는 패턴들은 반도체 기판 상에 점차 박막화되고, 그에 따라 미세한 구조를 가지는 반도체 소자가 형성된다. 반도체 소자를 위한 그러한 패턴들이 박막화될 때, 리소그래피 공정에서, 전 공정에서 형성된 하부막 내의 패턴에 마스크 정렬을 수행하고 다음 상부막 패턴을 형성하는 것이 요구된다. 그러나, 상부막/하부막 패턴들 사이의 오정렬 (misregistration)이 리소그래피 공정에서 생긴다. 그러므로, 패턴 간격 내에 마진을 설정하기 위해서 오정렬을 방지하는 패턴 간격 내의 여지를 남겨 두는 것이 요구된다. 그러나, 그러한 마진은 패턴의 고집적화에 대한 장애의 원인이 된다.

그러므로, 상술한 마진이 필요치 않게 하는 마진이 불필요한 구조 (margin-less structure)를 얻는 기술적인 방법들이 다 방면에 걸쳐 검토되기에 이르렀다. 그러한 기술적인 방법들 중 특히 콘택 홀을 형성함에 있어서 마진이 불필요한 구조를 얻는 것이 가장 중요하다. 콘택 홀이 반도체 기판, 반도체 막 및 금속 막 상의 여러 층들에 형성되고 종종 사용되기 때문에, 마진이 불필요한 콘택 홀을 형성하는 것이 반도체 장치의 고밀도/고집적도를 달성하는 데 가장 효과적이다. 마진이 불필요한 콘택 홀을 얻기 위한 기술들 중 가장 효과적인 방법들은 자기 정렬 콘택 홀 (self-aligned contact hole)을 형성하는 방법들을 포함하고, 다양하고 확실한 방법들이 연구되고 있다. 그러한 자기 정렬 콘택 홀을 형성하는 방법들은 리버스 액티브 브릿 SAC (reverse active type self-aligned contact, 이후 RAT-SAC이라 칭함) 공정과 콘택형 SAC (contact type SAC, 이후 CT-SAC이라 칭함) 공정을 포함한다.

전자의 전형적인 기술이 IEDM 96에 "240nm Pitch 4GBRAM Array MOSFET Technologies with X-ray Lithography"라는 제목으로 그리고 1997년 Symposium on VLSI Technology Digest of Technical Papers에 "A Fully Printable, Self-aligned and Planarized Stacked Capacitor DRAM Cell Technology for 1 Gbit DRAM and Beyond"라는 제목으로 각각 게재되었다. 그리고, 후자의 전형적인 기술이 IEDM 95에 "A Process Technology for 1 Giga-Bit DRAM"이라 제목으로 그리고 IEDM 96에 "A New Planar Stacked Technology (PST) for Scaled and Embedded DRAMs"이라는 제목으로 각각 게재되었다.



전자 (RAT-SAC)의 공정을 이용하여 형성된 콘택 홀 (예를 들면, 스토리지 전극 및 비트 라인 패드용 콘택 홀들)을 가지는 DRAM 장치의 셀 어레이 레이 아웃을 보여주는 평면도가 도 1a에 도시되어 있다. 도 1a에서, 참조 번호 (10)는 게이트 전극 (또는, 워드 라인), 참조 번호 (12)는 스토리지 전극 (storage electrode)을 반도체 기판에 연결하는 자기 정렬 매립 콘택 (self-aligned buried contact, 이후 BC라 칭함), 참조 번호 (14)는 비트 라인 (bit line)을 반도체 기판에 연결하는 자기 정렬 직접 콘택 (이후, DC라 칭함)을 각각 나타낸다. 소자가 형성되는 활성 영역 (active area)은 도 1a의 점선과 같이 T자 구조 (T-shaped struce)로 형성된다.

도 1b는 도 1a에서 1-1'을 따라 절단한 단면도를 보여준다. RAT-SAC 공정을 이용하여 콘택 홀을 형성하기 위한 사전 식각 공정 (photo-etching process)을 수행하면, 비트 라인 및 스토리지 전극용 패드들을 형성하기 위한 개구 (opening)가, 도 1b에 도시된 바와 같이, 메모리 셀을 구성하는 2 개의 스위칭 트랜지스터 (switching transistor)들이 형성되는 활성 영역의 모양에 따라서 형성되며, 이후 설명될 후자의 경우와 비해서 상대적으로 넓은 개구 영역을 얻을 수 있다. RAT-SAC 공정의 경우, 게이트 모서리 부분 (식각 저지막으로 사용되는 게이트 전극 상부막의 모서리 부분)의 식각으로 인해서 유발되는 게이트-패드 (gate to pad)의 전기적인 연결 (electrical short)은 차단될 수 있다. 하지만, 개구 (opening)가 형성될 때 수행되는 식각 공정 동안에 게이트 전극을 보호하기 위한 캡핑막 (capping layer)으로 작용하는 절연막 (또는, 다른 종류의 절연막)이 식각되면서 반도체 기판을 기준하여 게이트 전극 (10) 및 절화막 (17)의 높이 (이후, 단차라 칭함)가 점선으로 표시된 부분까지 낮아지게 된다.

그 결과, 도 1b에서 알 수 있듯이, 패드 (18)의 크기가 감소되어 본래의 목적 (오정렬 마진 확보)을 확보하기 어렵다. 즉, 식각 선택비를 이용하는 SAC 공정에 있어서, 이상적인 경우 도 1b에서 점선 (20)까지 패드 (18)을 도전막 (예를 들면, 도핑된 폴리 실리콘)이 채워지지만, 실질적인 RAT-SAC 공정의 경우 도 1b에서 점선 (22)까지만 도전막이 채워진다 (패드-패드 연결 방지를 위해서, 패드의 표면은 게이트 전극 (10)을 둘러싸고 있는 절연막 (17) 이하로 형성되어야 한다). 최종적으로 형성되는 패드 (18)의 크기가 원하는 크기 (20)에 비해서 작게 형성된다. 도 1a에서, 패드 크기가 게이트-게이트 사이의 간격으로 제한되기 때문에, 반도체 메모리 장치의 고집적화되면 필수로 패드 크기는 더욱 작아진다. 그러므로, 앞서 언급된 마진이 불필요한 구조를 얻기 어렵다 (자기 정렬 콘택 공정의 본래 목적을 달성하는 것이 어렵다). 아울러, 앞서 언급된 바와 같이, 패드의 상부 표면적이 게이트 전극 사이에 형성되어 패드 크기가 작아지고 그리고 스토리지 전극 또는 비트 라인을 반도체 기판에 접속하기 위한 콘택 홀을 형성할 때 공정 마진 (즉, 오정렬 마진)이 급격히 감소되어 실질적으로 소자 동작이 수행될 때 소프트셀 리프레시 패일 (soft refresh fail)을 유발하게 된다.

후자 즉, CT-SAC 공정을 이용하여 형성된 콘택 홀 (예를 들면, 스토리지 전극 및 비트 라인 패드용 콘택 홀들)을 가지는 DRAM 장치의 셀 어레이에 대한 평면도가 도 2a에 도시되어 있다. 도 2a에 있어서, 도 1a와 동일한 구성 요소들은 동일한 참조 번호들로 표기된다. CT-SAC 공정을 이용하여 콘택 홀을 형성하는 경우, 도 2a에서 알 수 있듯이, BC (12)는 DC (14)에 비해서 상대적으로 작게 형성된다. 도 2b는 도 2a에서 2-2'을 따라 절단한 단면도를 보여준다.

상기 CT-SAC 공정을 이용하여 콘택 홀을 형성하면, 도 2b에 도시된 바와 같은 공정 결과들이 얻어진다. CT-SAC 공정에 의하면, BC/DC용 콘택 홀들은 원형 또는 타원형으로 형성된다. 콘택 홀을 형성하기 위해서 포토 레지스트 패턴이 형성된 후, 식각 공정이 수행된다. 이때, RAT-SAC 공정의 경우 활성 영역에 상



 1999-0084959

용하는 개구 영역이 확보되는 반면에, CT-SAC 공정의 경우 개구 영역이, 도 2a에 도시된 바와 같이, 원형 또는 타원형으로 작다. 식각비가 RAC-SAC에 비해서 상대적으로 떨어지게 되며 (이때, 개구가 형성되지 않는 현상이 유발될 수 있다-not open), 떨어진 식각비를 극복하기 위해서 식각 시간을 증가시켜야 한다. 그 결과, 게이트 전극 (10)의 모서리 부분이 과도하게 식각되어서 게이트 전극의 노출을 유발한다 (패드-게이트 전극의 전기적인 연결이 유발될).

또한, 도 2a에서 설명된 바와 같이, BC (12)가 DC (14)에 비해서 작게 형성되기 때문에 동일한 길이를 가지는 콘택 홀을 형성하기 위해서는, DC (14)에 관련된 게이트 모서리 부분들이 BC (12)에 관련된 게이트 모서리 부분들에 비해서 상대적으로 많이 식각되어야 한다. 그 결과, 층간 절연막 (interlayer insulating film)에 대한 절화각의 식각 선택비가 확보되지 않아 앞서 설명된 바와 같이 게이트 전극이 노출될 수 있다.

앞서 설명된 SAC 공정들의 문제점을 근본적으로 해결할 수 있는 기술이 "A 0.23 μ m² Double Self-Aligned Contact Cell for 8lgabit DRAMs With A Ge-Added Vertical Epitaxial Si Pad"라는 제목으로 IBM 96년 게재되었다. 이 기술을 개략적으로 설명하면, 이 기술은 자기 정렬 콘택 공정 대신에 LDD (lightly doped drain)층 게이트 스페이서를 형성하기 위한 식각 공정시 스위칭 트랜지스터의 소오스/드레인 영역을 동시에 형성함으로써 게이트 전극의 노출(모서리 부분)을 억제할 수 있다. 그러므로, 패드-게이트의 전기적인 연결의 관점에서는 가장 우수한 방법이다. 하지만, 워드 라인 방향으로 살펴보면, 에피택셜 성장시 높이 방향의 성장 속도(종방향 성장률) 대 넓이 방향의 성장 속도(횡방향 성장률)의 비가 크지 않을 경우, 게이트 전극 측, 워드 라인을 사이의 끝을 따라 패드간 전기적인 연결이 유발될 확률이 매우 크다. 이로 인해서, 패드가 임의로 성장할 수 있다는 단점이 있다.

본 발명이 이루고자하는 기술적 과제

따라서 본 발명의 목적은 초고집적 반도체 장치에 적합한 도전 패드를 형성하는 방법을 제공하는 것이다. 본 발명의 다른 목적은 자기 정렬 콘택 홀을 형성할 때 유발되는 게이트-패드의 전기적인 연결을 근본적으로 방지할 수 있는 도전 패드 형성 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 자기 정렬 콘택 홀을 형성할 때 자기 정렬 콘택 홀을 채우는 도전 패드가 작아지는 것을 근본적으로 방지할 수 있는 도전 패드 형성 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 자기 정렬 패턴 콘택을 형성할 때 패턴 콘택들 사이의 공정 마진을 확보할 수 있는 도전 패드 형성 방법을 제공하는 것이다.

본 발명의 구성 및 작용

(구성)

상술한 바와 같은 목적을 달성하기 위한 본 발명의 일 특징에 의하면, 제 1 절연막으로 둘러싸인 복수 개의 배선들이 형성된 반도체 기판을 제공하는 단계와; 상기 제 1 절연막 및 상기 반도체 기판을 덮는 제 1 도전막을 형성하는 단계와; 상기 제 1 절연막이 노출되도록 그리고 상기 배선들 사이에만 남아 있도록 상기 제 1 도전막을 식각하여 제 1 패드를 형성하는 단계와; 상기 제 1 패드 및 상기 제 1 절연막을 덮는 제 2 및 제 3 절연막들을 순차로 형성하는 단계와; 상기 제 1 패드를 노출시키기 위한 포토 레지스트 패턴을 상기 배선들 상부의 상기 제 3 절연막 상에 형성하는 단계와; 상기 포토 레지스트 패턴을 마스크로 사용하여 상기 제 1 패드가 노출될 때까지 상기 제 3 및 제 2 절연막들을 순차로 식각하는 단계와; 상기 포토 레지스트 패턴을 제거한 후, 상기 제 1 패드 및 상기 제 3 절연막을 덮는 제 2 도전막을 형성하는 단계 및; 상기 제 2 절연막이 노출될 때까지 상기 제 2 도전막을 식각하여 제 2 패드를 형성하는 단계를 포함한다.

이 실시예에 있어서, 상기 제 1 및 제 2 패드들은 디램의 스토리지 전극/비트 라인용 패드로서 작용한다.

이 실시예에 있어서, 상기 제 1 도전막은 대략 3000-7000Å의 두께를 가지는 폴리 실리콘으로 형성되며, 상기 폴리 실리콘은 디램 셀을 구성하는 집적 회로의 드레인/소오스와 동일한 불순물로 도핑된다.

이 실시예에 있어서, 상기 제 2 절연막은 상기 제 3 절연막을 식각하는 동안에 에치-스톱퍼로서 작용한다.

본 발명의 다른 특징에 의하면, 제 1 절연막으로 둘러싸인 복수 개의 배선들이 형성된 반도체 기판을 제공하는 단계와; 선택적인 에피택셜 성장 공정을 이용하여 상기 배선들 사이에 제 1 도전 패드를 형성하는 단계와; 상기 반도체 기판 전면에 제 2 절연막을 형성하는 단계와; 상기 제 1 도전 패드가 노출될 때까지 상기 제 2 절연막을 식각하는 단계와; 상기 반도체 기판 전면에 제 3 및 제 4 절연막들을 순차로 형성하는 단계와; 상기 제 1 도전 패드를 노출시키기 위한 포토 레지스트 패턴을 상기 배선들 상부의 상기 제 4 절연막 상에 형성하는 단계와; 상기 포토 레지스트 패턴을 마스크로 사용하여 상기 제 1 도전 패드가 노출될 때까지 상기 제 4 및 제 3 절연막들을 순차로 식각하는 단계와; 상기 제 1 도전 패드 및 상기 제 4 절연막을 덮는 도전막을 형성하는 단계 및; 상기 제 4 절연막이 노출될 때까지 상기 도전막을 식각하여 제 2 도전 패드를 형성하는 단계를 포함한다.

본 발명의 또 다른 특징에 의하면, 절연막으로 둘러싸인 복수 개의 배선들이 형성된 반도체 기판을 제공하는 단계와; 상기 절연막 및 상기 반도체 기판을 덮는 도전막을 형성하는 단계와; 상기 절연막이 노출되고 그리고 상기 배선들 사이에만 남아 있도록 상기 도전막을 식각하여 제 1 패드를 형성하는 단계 및; 에피택셜 성장 공정을 이용하여 상기 배선들의 상부면이 덮히지 않도록 상기 제 1 패드 상에 제 2 패드를 형성하는 단계를 포함한다.

본 발명의 또 다른 특징에 의하면, 제 1 절연막으로 둘러싸인 복수 개의 배선들이 형성된 반도체 기판을 제공하는 단계와; 1차 에피택셜 성장 공정을 이용하여 상기 배선들 사이에 제 1 도전 패드를 형성하는 단계와; 상기 반도체 기판 전면에 제 2 절연막을 형성하는 단계와; 상기 제 1 도전 패드가 노출될 때까지 상기 제 2 절연막을 식각하는 단계와; 2차 에피택셜 성장 공정을 이용하여 상기 배선들의 상부면이 덮히

록 1999-0084959

지 양도를 상기 제 1 도전 패드 상에 제 2 도전 패드를 형성하는 단계 및; 상기 반도체 기판 전면에 제 3 절연막을 형성한 후, 상기 제 2 도전 패드가 노출될 때까지 상기 제 3 절연막을 식각하는 단계를 포함한다.

(작용)

이와 같은 방법에 의해서, 비트 라인/스토리지 전극을 반도체 기판에 연결하는 도전 패드가 1차 및 2차 패드 공정들을 통해서 형성될 수 있다.

본 발명에 따른 신규한 제조 방법에 의하면, 도 3g, 도 4e, 도 5, 그리고 도 6을 참조하면, 비트 라인 및 스토리지 전극을 반도체 기판에 각각 연결하는 직접 콘택 (DC) 및 패시브 콘택 (BC)용 도전 패드가 2 번으로 나뉘어 1차 패드와 2차 패드로 형성된다. 1차 패드 및 2차 패드는 RAT-SAC, CT-SAC, 에피택셜 성장 공정들을 조합한 방법에 의해서 형성된다. 이로써, RAT-SAC, CT-SAC, 에피택셜 성장 공정 중 어느 하나만을 이용하여 자기 정렬 콘택 홀을 형성할 때 마가되는 문제점들 즉, 게이트 전극의 모서리 부분이 과식각 되어서 패드와 게이트가 전기적으로 서로 연결되는 것, 패드 크기가 게이트 전극들 사이의 간격으로 제한되는 것, 패드와 반도체 기판이 전기적으로 연결되지 않는 것 (not-open), BC들 간의 마진 부족으로 인한 전기적인 연결, 등이 방지될 수 있다.

(제 1 실시예)

도 3a 내지 도 3g는 본 발명의 바람직한 제 1 실시예에 따른 스토리지 전극/비트 라인을 패드들 형성하는 공정 단계들을 보여주는 단면도들이다.

먼저, 격리 절연막 (isolating insulator film) (102)이 반도체 기판 (100)에 형성된다. 상기 격리 절연막 (102)에 의해서 디램의 메모리 셀 (memory cell)을 구성하는 스위칭 트랜지스터 (switching transistor)들이 형성되는 활성 영역 (active area)이 정의된다. 그 다음에, 반도체 기판 (100) 상에는, 제 1 절연막 (104), 제 1 도전막 (106), 그리고 제 2 절연막 (108)이 이 분야의 통상적인 기술을 이용하여 순차로 형성된다. 상기 제 1 절연막 (104)은 이후 게이트 산화막 (gate oxide film)으로서 작용하며, 상기 제 2 절연막 (108)은 대략 1000-2000Å의 두께를 가지는 절화막이다. 게이트 전극을 형성하기 위한 할 일러진 사진 식각 공정 (photo-etching process)이 수행된 후, 스위칭 트랜지스터들의 소스/드레인 영역을 형성하기 위한 이온 주입 공정이 수행된다.

그 다음에, 제 3 절연막이 반도체 기판 (100) 전면에 형성된다. 상기 제 3 절연막은 이 분야에 잘 알려진 이방성 반응성 이온 식각 (anisotropic reactive ion etching; 이후 에치-백 (etch-back)이라 칭함)에 의해서 전면 식각되어서, 도 3a에 도시된 바와 같이, 게이트 전극 (106) 및 제 2 절연막 (108)의 측면들 상에 게이트 스페이서 (120)들이 형성된다. 제 4 절연막 (122)이 상기 반도체 기판 (100) 전면에 형성된다. 상기 제 4 절연막 (122)은 대략 50-200Å의 두께를 가지는 절화막이다.

상기 반도체 기판 (100) 전면에, 중간 절연막으로서 제 5 절연막 (124)이 형성되며, 대략 3000-9000Å의 두께를 가지는 산화막이다. CMP 또는 에치-백 공정을 이용하여 상기 제 5 절연막 (124)을 평탄하게 식각한 후, 활성 영역만 열리도록 포토 레지스트 패턴 (126)이 형성된다. 상술한 일련의 공정들에 따른 공정 결과물은 도 3b에 도시된 바와 같다.

상기 포토 레지스트 패턴 (126)을 마스크로 사용하여 제 5 절연막 (124)을 상기 제 2, 제 3, 그리고 제 4 절연막들 (108), (120), 그리고 (122)과 선택 식각한 후, 제 4 절연막 (122)을 식각하고 그리고 상기 패턴 (126)을 제거하면 도 3c에 도시된 RAT-SAC 구조가 얻어진다. 즉, 중간 절연막으로서 작용하는 상기 제 5 절연막 (125)은 격리 절연막 (102) 상에만 남아있고, 활성 영역 상에는 남아있지 않는다.

도 3c의 공정 결과물 즉, 반도체 기판 (100) 전면에, 3000-7000Å의 두께를 가지는 제 2 도전막이 형성된다. 상기 제 2 도전막은 도핑된 폴리 실리콘이다. CMP 또는 에치-백 공정에 의해서 상기 제 2 도전막과 상기 제 5 절연막 (124)이 식각된다. 이 공정 결과물로서, 도 3d에 도시된 바와 같은 1차 패드 (128)가 게이트 전극 (106)을 둘러싸고 있는 절연막 (절연막들 (104), (108), 그리고 (120)으로 구성됨) 사이에만 형성된다.

상술한 바와 같은 1차 패드 (128)를 가지는 반도체 기판 (100) 전면에, 제 6 및 제 7 절연막들 (130) 및 (132)이 순차로 형성된다. 그 다음에, 전술한 CT-SAC 공정을 수행하기 위한 포토 레지스트 패턴 (134)이 도 3e와 같이 형성된다. 즉, 콘택이 이루어지는 영역 상에는, 포토 레지스트가 제거되고 그리고 중간 절연막이 형성되는 영역 상에는, 포토 레지스트가 남는다.

상기 1차 패드 (128)의 표면이 노출될 때까지, 상기 패턴 (134)을 마스크로 사용하여 상기 제 6 및 제 7 절연막들 (130) 및 (132)이 식각되고, 그 식각 결과물은 도 3f에 도시된 바와 같다. 상기 제 6 절연막 (130)은 상기 제 7 절연막 (132)이 식각되는 동안에 식각 저지막 (etch stopper layer)으로서 작용한다. 상기 제 6 절연막 (130)은 500-200Å의 두께를 가지는 절화막이고, 상기 제 7 절연막 (132)은 500-2000Å의 두께를 가지는 산화막이다.

그 다음에, 제 3 도전막이 반도체 기판 전면에 형성되고 그리고 상기 제 7 절연막 (132)의 표면이 노출될 때까지 즉, 콘택홀 내에만 상기 제 3 도전막이 남도록 상기 제 3 도전막을 식각하면, 도 3g에 도시된 바와 같이, 2차 패드 (136)가 형성된다. 상기 제 3 도전막은 폴리실리콘, 텅스텐, TiN 중 어느 하나이다. 상술한 일련의 공정들을 통해서 얻어진 1차 패드 (128) 및 2차 패드 (136)는 비트 라인 및 스토리지 전극 (미도시됨)을 반도체 기판 (100)에 연결하는 도전 패드로서 작용한다.

(제 2 실시예)

도 4a 내지 도 4e는 본 발명의 바람직한 제 2 실시예에 따른 스토리지 전극/비트 라인을 패드들 형성하는 공정 단계들을 보여주는 단면도들이다.

도 4a를 참조하면, 스위칭 트랜지스터들이 형성되는 활성 영역을 정의하는 격리 절연막 (202)이 반도체 기판 (200)에 형성된다. 상기 반도체 기판 (100) 상에는, 제 1 절연막 (204), 제 1 도전막 (206), 그리고

1999-0084959

고 제 2 절연막 (208)이 이 분야의 통상적인 기술을 이용하여 순차로 형성된다. 상기 제 1 절연막 (204)은 이후 게이트 산화막으로서 작용하며, 상기 제 2 절연막 (208)은 1000-2000Å의 두께를 가지는 절화막이다. 게이트 전극을 형성하기 위한 잘 알려진 사진 식각 공정 (photo-etching process)이 수행된 후, 스위칭 트랜지스터들의 소스/드레인 영역을 형성하기 위한 이온 주입 공정이 수행된다.

그 다음에, 500-1000Å의 두께를 가지는 제 3 절연막이 반도체 기판 (200) 전면에 형성된다. 상기 제 3 절연막은 에치-백 공정에 의해서 전면 식각되어서, 도 4a에 도시된 바와 같이, 게이트 전극 (206) 및 제 2 절연막 (208)의 측면을 상에 그리고 제 1 절연막 (104) 상에 게이트 스페이서 (220)들이 형성된다. 에피택셜 성장 공정 (epitaxial growth process)을 이용하여 게이트 전극들 사이의 좁은 골이 채워지면, 도 4b에 도시된 바와 같이, 1차 패드 (221)가 형성된다. 이때, 활성 개구 간격 (active open spacing)이 1400Å이고, 게이트 전극들 사이의 골을 채울 높이가 2500Å이고, 패드간 간격이 500Å라고 가정하자. 이러한 가정 하에서, 높이 방향의 성장 속도 대 넓이 방향의 성장 속도의 비는 4-6:1이다.

상기 반도체 기판 (200) 전면에는, 대략 500-5000Å의 두께를 가지는, 층간 절연막으로서 기능하는, 제 4 절연막 (222)이 형성된다. 에치-백 공정 또는 에치-백 공정과 습식 식각 공정을 조합한 공정 중 어느 하나를 이용하여 1차 패드 (221)의 표면이 노출될 때까지, 상기 제 4 절연막 (222)이 식각된다.

상술한 공정의 결과물 (도 4c 참조) 상에는, 제 5 및 제 6 절연막을 (224) 및 (226)이 순차로 형성된다. 전술한 CT-SAC 공정을 수행하기 위한 포토 레지스터 패턴 (228)이 도 4d와 같이 형성된다. 즉, 콘택이 이루어지는 영역 상에는, 포토 레지스터가 제거되고 그리고 층간 절연막이 형성되는 영역 상에는, 포토 레지스터가 남는다.

상기 1차 패드 (221)의 표면이 노출될 때까지, 상기 패턴 (228)을 마스크로 사용하여 상기 제 5 및 제 6 절연막을 (224) 및 (226)이 식각되고, 그 식각 결과물은 도 4e에 도시된 바와 같다. 상기 제 5 절연막 (224)은 상기 제 6 절연막 (226)이 식각되는 동안에 식각 저지막으로서 작용한다. 상기 제 5 절연막 (224)은 500-200Å의 두께를 가지는 절화막이고, 상기 제 6 절연막 (226)은 500-2000Å의 두께를 가지는 산화막이다.

상기 패턴 (228)을 제거한 후, 자기 정렬 콘택 홀 (227)이 충분히 채워지도록 제 3 도전막이 형성된다. 이후, 상기 제 6 절연막 (226)이 노출될 때까지 상기 제 3 도전막을 식각하면, 도 4e에 도시된 바와 같이, 2차 패드 (230)가 형성된다. 여기서, 상기 1차 패드 (221)와 상기 2차 패드 (230)는 비트 라인/스토리지 전극을 패드로서 작용한다.

(제 3 실시예)

도 5는 본 발명의 바람직한 실시예에 따른 제 3 실시예에 따른 스토리지 전극/비트 라인을 패드가 형성된 구조를 보여주는 단면도이다.

도 5에 있어서, 1차 패드 (302)가 형성되는 공정은 제 1 실시예에 따른 도 3a 내지 도 3d와 동일하게 진행된다. 그러므로, 1차 패드 (302)가 형성되는 공정 단계들에 대한 설명은 여기서 생략된다. 에피택셜 성장 공정을 이용하여 1차 패드 (304) 상에 2차 패드 (304)가, 도 5에 도시된 바와 같이, 형성된다. 이때, 게이트 전극들 사이의 간격이 1400Å이고, 채워야 할 두께가 2500Å이고, 그리고 패드들 사이의 간격이 500Å이라 가정하자. 이러한 가정하에서, 높이 방향의 성장 속도 대 넓이 방향의 성장 속도의 비는 (4-6):1이다.

(제 4 실시예)

도 6은 본 발명의 바람직한 실시예에 따른 제 4 실시예에 따른 스토리지 전극/비트 라인을 패드가 형성된 구조를 보여주는 단면도이다.

도 6에 있어서, 1차 패드가 형성되는 공정은 제 2 실시예에 따른 도 4a 내지 도 4c와 동일하게 진행된다. 그러므로, 제 4 실시예에 따라 1차 패드 (402)가 형성되는 공정 단계들에 대한 설명은 여기서 생략된다. 에피택셜 성장 공정을 이용하여 1차 패드 (402) 상에 2차 패드 (404)가 형성된다. 이때, 제 3 실시예와 동일한 조건 하에서 스토리지 전극/비트 라인을 패드가 형성될 때, 상술한 성장비 (4-6:1)에 따라 패드가 성장될 것이다. 그 다음에, 층간 절연막으로서 절연막 (406)이 반도체 기판 (400) 전면에 형성된 후 CMP 또는 에치-백 공정에 의해서 2차 패드 (404)가 노출될 때까지 상기 절연막 (406)이 식각되고, 도 6에 도시된 바와 같은 공정 결과물이 얻어진다.

본 발명의 바람직한 제 1 내지 제 4 실시예들에 따른 패드 형성 방법을 개략적으로 정리하면 다음과 같다. 먼저, RAT-SAC 공정 (제 1 및 제 3 실시예들)을 통해서 1차 패드가 형성되고 그리고 2차 패드가 CT-SAC 공정 (제 1 실시예) 또는 에피택셜 성장 공정 (제 3 실시예)을 이용하여 1차 패드 상에 형성된다. 그리고, 에피택셜 성장 공정 (제 2 및 제 4 실시예들)을 통해서 1차 패드가 형성되고 그리고 2차 패드는 CT-SAC 공정 (제 2 실시예) 또는 에피택셜 성장 공정 (제 4 실시예)에 의해서 형성된다. CT-SAC, RAT-SAC, 에피택셜 성장 공정들을 조합하여 적어도 2 번으로 나뉜 스토리지 전극/비트 라인을 패드가 형성될 수 있는 조합 방법들이 여기에 설명된 것들을 제외한 다양한 조합 방법들이 존재할 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 아울러, 본 발명에 따른 도전 패드 형성 방법이 비트 라인/스토리지 전극용 도전 패드에 한정하여 적용되었지만, 다른 여러가지 배선 형성 공정에도 적용될 수 있음은 자명하다.

본 발명의 효과

상기한 바와 같이, 자기 정렬 콘택 공정들 (예를 들면, RAT-SAC, CT-SAC, 에피택셜 성장 공정)을 조합하여 비트 라인/스토리지 전극용 패드가 1차 패드와 2차 패드로 나뉘어 형성된다. 이로써, RAT-SAC, CT-SAC, 에피택셜 성장 공정 중 어느 하나만을 이용하여 자기 정렬 콘택 홀을 형성할 때 야기되는 문제점을 즉, 게이트 전극의 모서리 부분이 과식각되어서 패드와 게이트가 전기적으로 서로 연결되는 것, 패드 크기가 게이트 전극들 사이의 간격으로 제한되는 것, 패드와 반도체 기판이 전기적으로 연결되지 않는 것 (not-

록 1999-0084959

open), BC들 간의 마진 부족으로 인한 전기적인 연결, 등이 방지될 수 있다.

(5) 청구의 범위

청구항 1. 제 1 절연막으로 둘러싸인 복수 개의 배선들이 형성된 반도체 기판을 제공하는 단계와;

상기 제 1 절연막 및 상기 반도체 기판을 덮는 제 1 도전막을 형성하는 단계와;

상기 제 1 절연막이 노출되도록 그리고 상기 배선들 사이에만 남아 있도록 상기 제 1 도전막을 식각하여 제 1 패드를 형성하는 단계와;

상기 제 1 패드 및 상기 제 1 절연막을 덮는 제 2 및 제 3 절연막들을 순차로 형성하는 단계와;

상기 제 1 패드를 노출시키기 위한 포토 레지스트 패턴을 상기 배선들 상부의 상기 제 3 절연막 상에 형성하는 단계와;

상기 포토 레지스트 패턴을 마스크로 사용하여 상기 제 1 패드가 노출될 때까지 상기 제 3 및 제 2 절연막들을 순차로 식각하는 단계와;

상기 포토 레지스터 패턴을 제거한 후, 상기 제 1 패드 및 상기 제 3 절연막을 덮는 제 2 도전막을 형성하는 단계 및;

상기 제 2 절연막이 노출될 때까지 상기 제 2 도전막을 식각하여 제 2 패드를 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 2. 제 1 항에 있어서,

상기 제 1 및 제 2 패드들은 디램의 스토리지 전극/비트 라인용 패드로서 작용하는 반도체 장치의 제조 방법.

청구항 3. 제 1 항에 있어서,

상기 제 1 도전막은 대략 3000-7000 Å의 두께를 가지는 폴리 실리콘으로 형성되되, 상기 폴리 실리콘은 디램 셀을 구성하는 집적 회로의 드레인/소오스와 동일한 불순물로 도핑되는 반도체 장치의 제조 방법.

청구항 4. 제 1 항에 있어서,

상기 제 2 절연막은 대략 50 Å-200 Å의 두께를 가지는 절화막으로 형성되는 반도체 장치의 제조 방법.

청구항 5. 제 1 항에 있어서,

상기 제 3 절연막은 대략 500-2000 Å의 두께를 가지는 산화막으로 형성되는 반도체 장치의 제조 방법.

청구항 6. 제 1 항에 있어서,

상기 제 2 절연막은 상기 제 3 절연막을 식각하는 동안에 에치-스톱퍼 (etch-stopper)로서 작용하는 반도체 장치의 제조 방법.

청구항 7. 제 1 항에 있어서,

상기 제 1 패드는 CMP 공정, 에치-백 공정, 또는 CMP 및 에치-백 공정을 이용하여 상기 제 1 도전막을 식각함으로써 형성되는 반도체 장치의 제조 방법.

청구항 8. 제 1 항에 있어서,

상기 제 2 도전막은 폴리 실리콘, 텅스텐, 또는 TiN으로 형성되는 반도체 장치의 제조 방법.

청구항 9. 제 1 항에 있어서,

상기 제 2 패드는 CMP 공정, 에치-백 공정, 또는 CMP 및 에치-백 공정을 이용하여 상기 제 2 도전막을 식각함으로써 형성되는 반도체 장치의 제조 방법.

청구항 10. 제 1 절연막으로 둘러싸인 복수 개의 배선들이 형성된 반도체 기판을 제공하는 단계와;

선택적인 에피택셜 성장 공정을 이용하여 상기 배선들 사이에 제 1 도전 패드를 형성하는 단계와;

상기 반도체 기판 전면에서 제 2 절연막을 형성하는 단계와;

상기 제 1 도전 패드가 노출될 때까지 상기 제 2 절연막을 식각하는 단계와;

상기 반도체 기판 전면에서 제 3 및 제 4 절연막들을 순차로 형성하는 단계와;

상기 제 1 도전 패드를 노출시키기 위한 포토 레지스트 패턴을 상기 배선들 상부의 상기 제 4 절연막 상에 형성하는 단계와;

상기 포토 레지스트 패턴을 마스크로 사용하여 상기 제 1 도전 패드가 노출될 때까지 상기 제 4 및 제 3 절연막들을 순차로 식각하는 단계와;

상기 제 1 도전 패드 및 상기 제 4 절연막을 덮는 도전막을 형성하는 단계 및;

상기 제 4 절연막이 노출될 때까지 상기 도전막을 식각하여 제 2 도전 패드를 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 11. 제 10 항에 있어서,

상기 각 배선을 둘러싸는 상기 제 1 절연막은 게이트 스페이서와 게이트 캡핑막을 포함하여 구성되는 반

1999-0084959

도체 장치의 제조 방법.

청구항 12. 제 10 항에 있어서,

상기 제 1 및 제 2 도전 패드들은 상기 반도체 장치가 디램 장치일 때 스토리지 전극/비트 라인을 상기 반도체 기판에 연결하는 도전 패드로서 작용하는 반도체 장치의 제조 방법.

청구항 13. 제 10 항에 있어서,

상기 제 2 절연막은 용간 절연막으로서 사용되는 대략 500Å-5,000Å의 두께를 가지는 산화막으로 형성되는 반도체 장치의 제조 방법.

청구항 14. 제 10 항에 있어서,

상기 제 3 절연막은 대략 50Å-200Å의 두께를 가지는 절화막이고, 상기 제 4 절연막은 대략 500Å-2,000Å의 두께를 가지는 산화막으로 형성되는 반도체 장치의 제조 방법.

청구항 15. 제 14 항에 있어서,

상기 제 3 절연막은 상기 4 절연막을 식각하는 동안에 에치-스톱퍼 (etch-stopper)로서 작용하는 반도체 장치의 제조 방법.

청구항 16. 절연막으로 물려싸인 복수 개의 배선들이 형성된 반도체 기판을 제공하는 단계와;

상기 절연막 및 상기 반도체 기판을 덮는 도전막을 형성하는 단계와;

상기 절연막이 노출되고 그리고 상기 배선들 사이에만 남아 있도록 상기 도전막을 식각하여 제 1 패드를 형성하는 단계 및;

에피택셜 성장 공정을 이용하여 상기 배선들의 상부면이 덮히지 않도록 상기 제 1 패드 상에 제 2 패드를 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 17. 제 16항에 있어서,

상기 제 1 및 제 2 패드들은 상기 반도체 장치가 디램 장치일 때 스토리지 전극 및 비트 라인을 상기 반도체 기판에 연결하는 도전 패드로서 작용하는 제조 방법.

청구항 18. 제 1 절연막으로 물려싸인 복수 개의 배선들이 형성된 반도체 기판을 제공하는 단계와;

1차 에피택셜 성장 공정을 이용하여 상기 배선들 사이에 제 1 도전 패드를 형성하는 단계와;

상기 반도체 기판 전면에 제 2 절연막을 형성하는 단계와;

상기 제 1 도전 패드가 노출될 때까지 상기 제 2 절연막을 식각하는 단계와;

2차 에피택셜 성장 공정을 이용하여 상기 배선들의 상부면이 덮히지 않도록 상기 제 1 도전 패드 상에 제 2 도전 패드를 형성하는 단계 및;

상기 반도체 기판 전면에 제 3 절연막을 형성한 후, 상기 제 2 도전 패드가 노출될 때까지 상기 제 3 절연막을 식각하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 19. 제 18 항에 있어서,

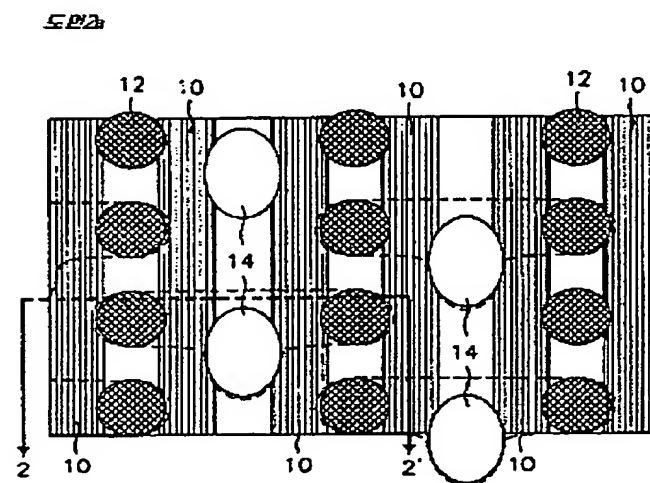
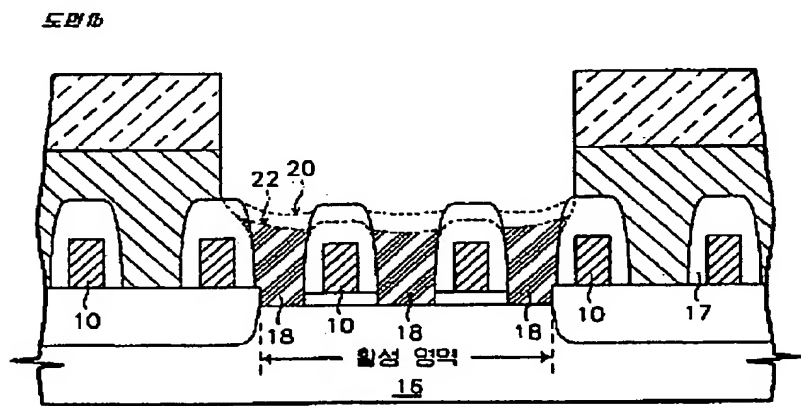
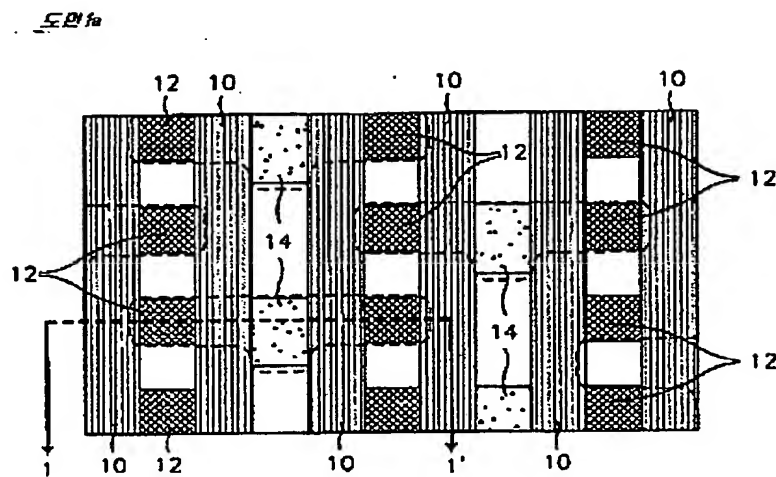
상기 제 2 절연막은 용간 절연막으로서 사용되는 대략 500Å-5,000Å의 두께를 가지는 산화막으로 형성되는 반도체 장치의 제조 방법.

청구항 20. 제 18 항에 있어서,

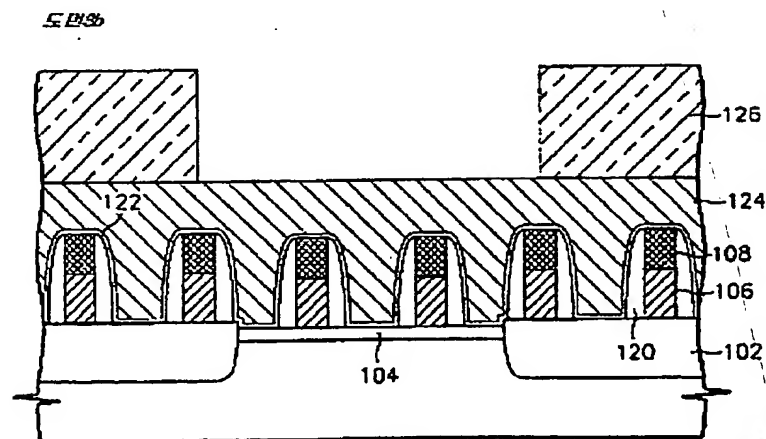
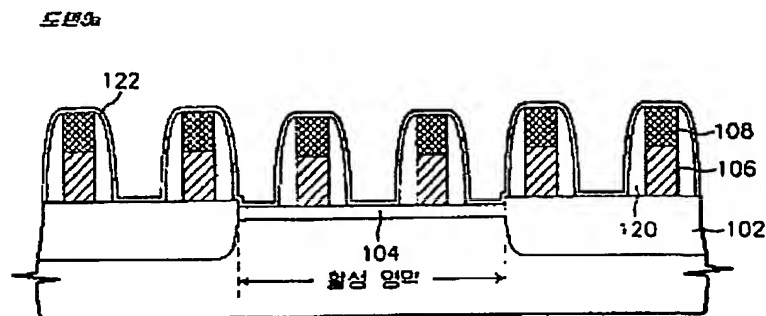
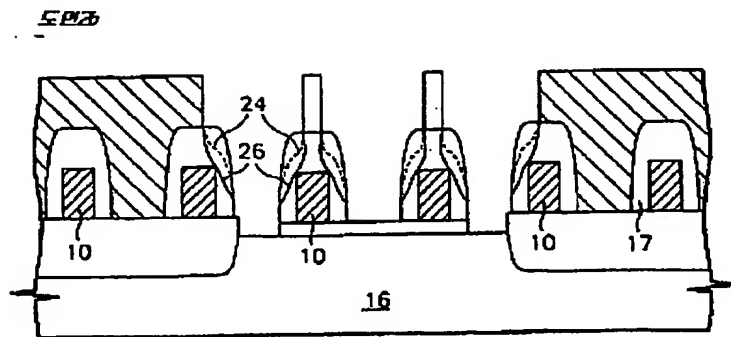
상기 제 1 및 제 2 도전 패드들은 상기 반도체 장치가 디램 장치일 때 스토리지 전극 및 비트 라인을 상기 반도체 기판에 연결하는 도전 패드로서 작용하는 제조 방법.

도면

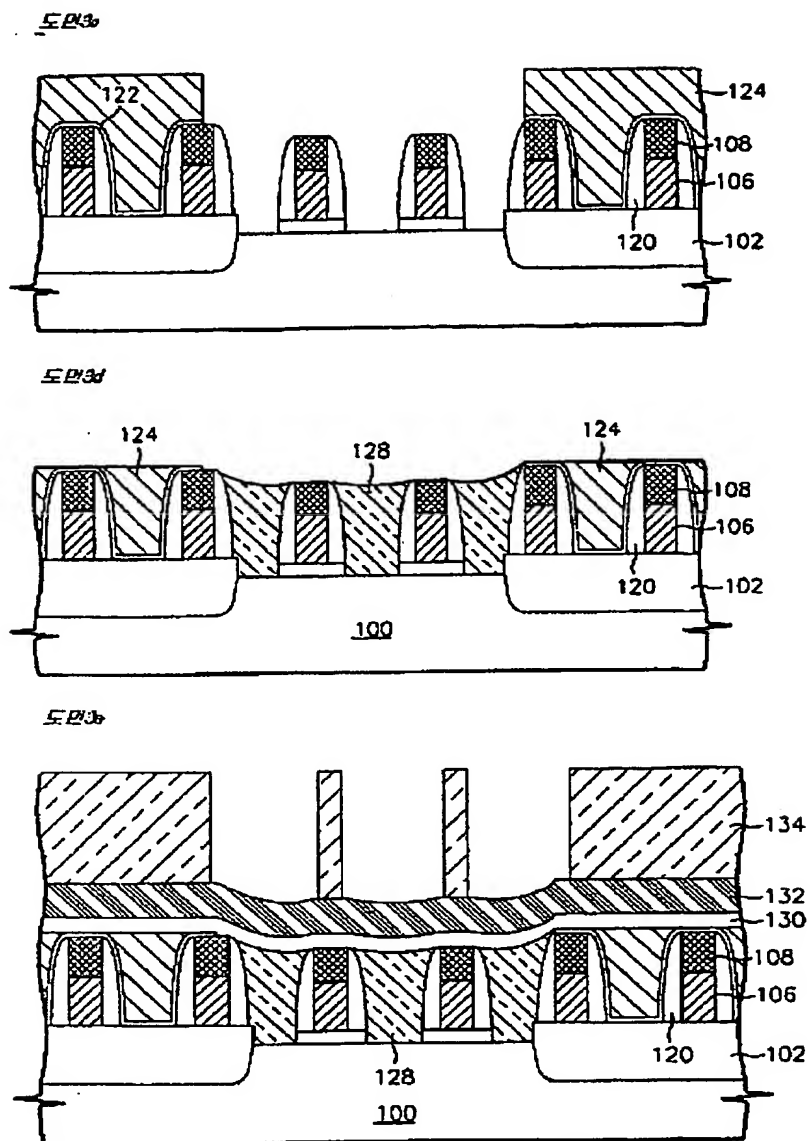
특 1999-0084959



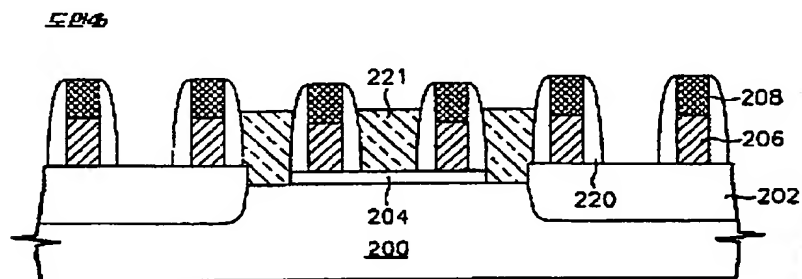
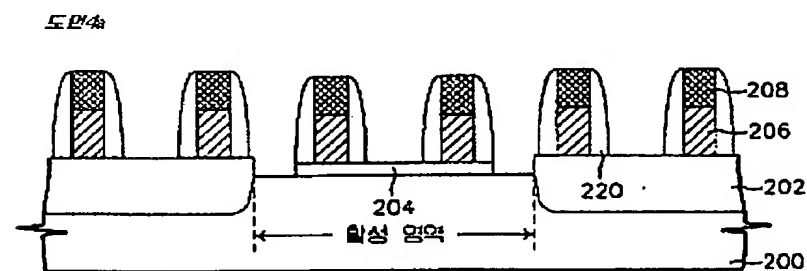
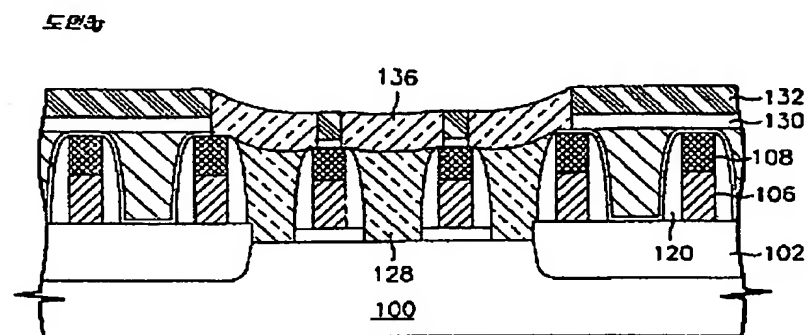
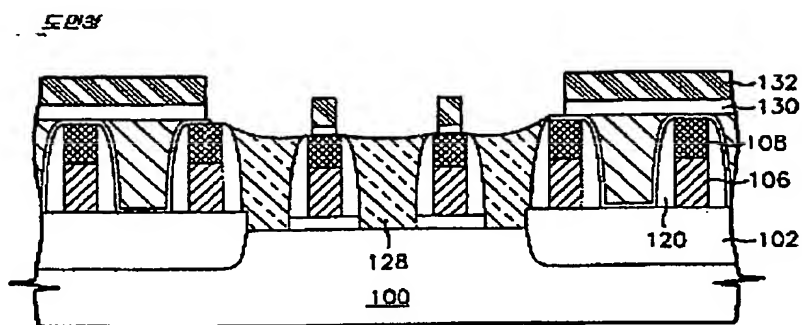
1999-0084959



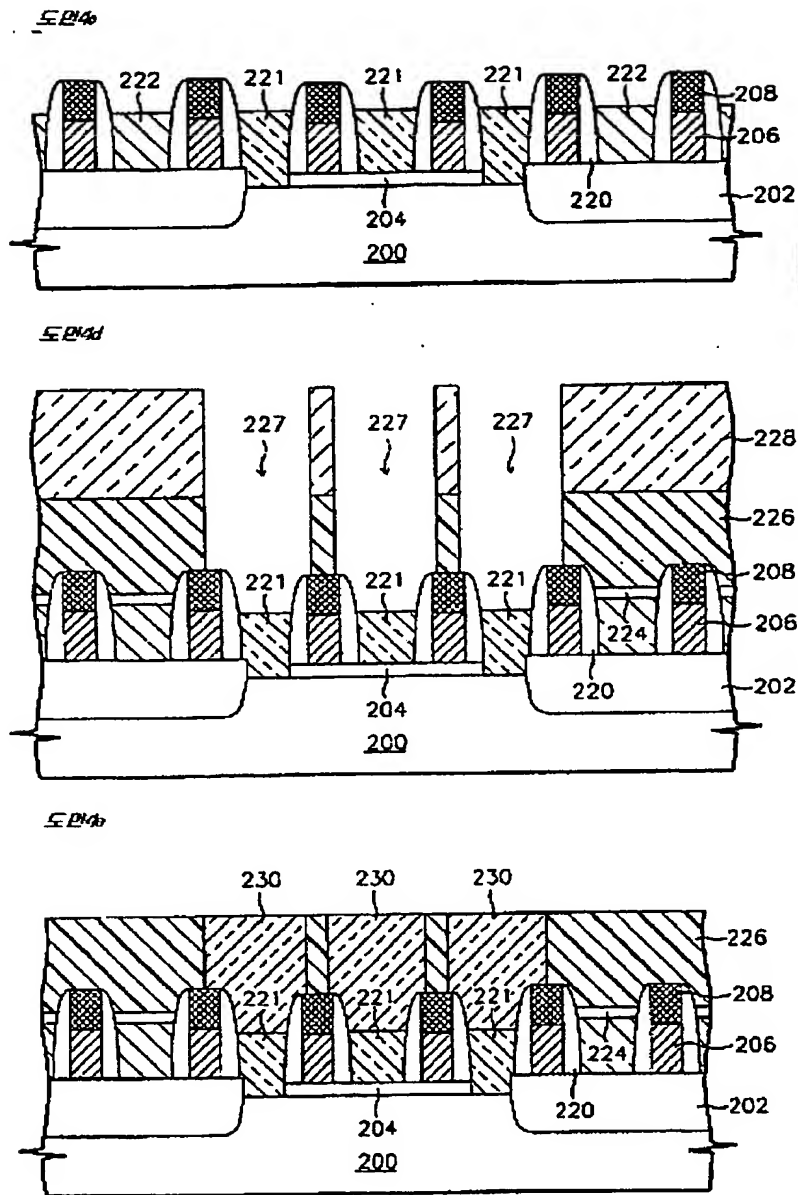
1999-0084959



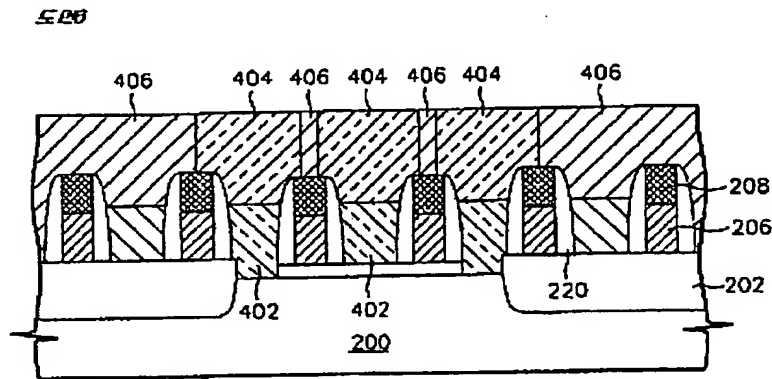
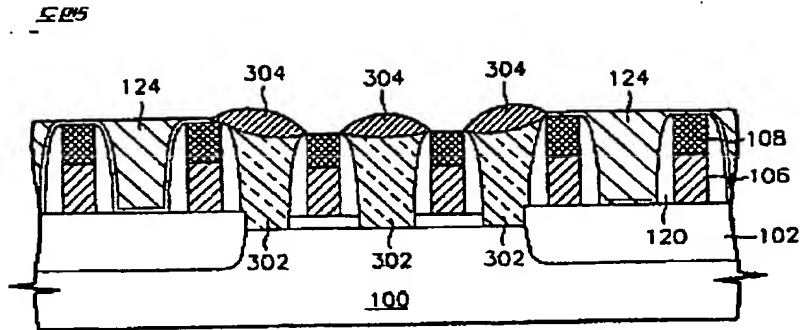
1999-0084959



1999-0084959



1999-0084959



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.